

Transistorin toiminta ja flash-muisti

Niko Heikkinen

2459798

16.6.2022

Kandidaatintutkinto

Samuli Urpelainen

| | |
|---------------------------------|----|
| Sisällysluettelo | |
| 1. Johdanto | 3 |
| 2. Puolijohde ja seostus | 4 |
| 3. Diodi | 9 |
| 4. Bipolaaritransistori | 21 |
| 5. Kanavatransistori | 25 |
| 6. Flash-muisti | 31 |
| 7. Yhteenveto ja johtopäätökset | 33 |
| Lähteet | 34 |

1. Johdanto

Lähes kaikki nykyaikaiset sähkölaitteet sisältävät yhden tai useamman mikropiirin. Mikropiirit ovat kokoelma sähköisiä komponentteja, jotka on integroitu yhdeksi yksiköksi. Mikropiirien aktiiviset komponentit koostuvat puolijohdekomponenteista, transistorista sekä diodeista. Transistori on sähköinen komponentti, joka toimii sähköisen signaalin vahvistimena, hallitsijana ja tuottajana. Mikropiireissä transistorit toimivat kytkiminä, ja siten binäärisenä bittinä, riippuen siitä kulkeeko sen läpi virta vai ei. [1]

Ensimmäiset digitaaliset tietokoneet toimivat mekaanisten releiden avulla, joiden toiminta oli suhteellisen hidasta. Nämä korvautuivat elektroniputkilla, joissa ei ole liikkuvia osia elektroneja lukuunottamatta, joten niiden toiminta on erittäin nopea. [2] Elektroniputket kuitenkin kuluttavat paljon tehoa, joten tuottavat paljon lämpöä, sekä vievät paljon tilaa, ovat kalliita ja vikaantuvat helposti, joten transistorit korvasivat ne. [3]

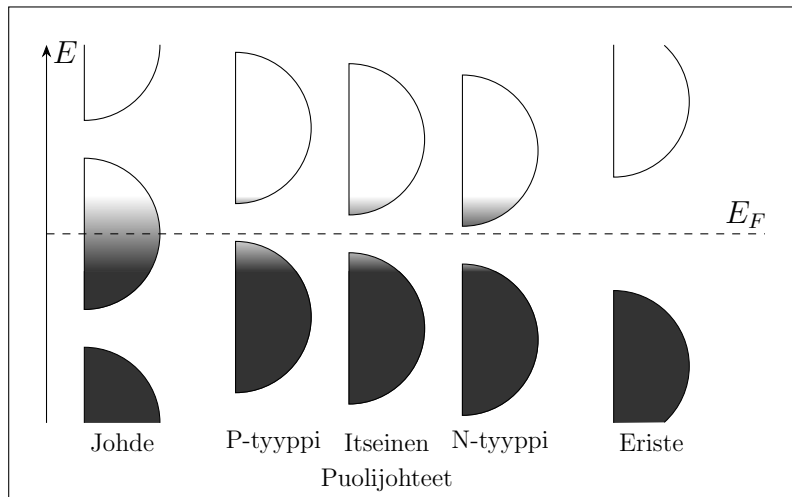
Fyysikot Walter Brattain, William Shockley ja John Bardeen keksivät ensimmäisen transistorin, bipolaaritransistorin, vuonna 1947 ja heidät palkittiin Nobelin palkinnolla keksinnöstään vuonna 1956. [4,5] Myöhemmin vuonna 1960 Mohamed Atalla ja Dawon Kahng julkaisivat keksintönsä MOS-transistorin, jonka tiiviys ja helppo suurtuotanto mahdollisti maailman digitaalisoitumisen. [5,6] MOS-transistori on maailman historian tuotetuin laite. Vuonna 2018 oli arvioitu, että 13 triljardia transistoria on valmistettu, joista 99,9 % on MOS-transistoreja. [7] Nykyaikaisissa mikroprosessoreissa transistoria on jopa 137 500 000 neliömillimetriä kohden. [8]

Flash-muisti on haihtumaton muistimuoto, joka perustuu FG-MOS-transistoreiden kykyyn pitää varausta pitkiä aikoja ilman, että niitä olisi kytketty virtalähteeseen. [9] Nykyään tietokoneiden SSD:t, matkapuhelimet ja muut digitaaliset laitteet käyttävät tiedon varastoinnissa flash-muistia. [9,10] Etuna muihin uudelleenkirjoitettaviin ja haihtumattomiin muistimuotoihin on flash-muistin nopeampi hajasaanti ja tiedonsiirtonopeus. [9]

Transistorien toiminnan kannalta on tärkeää ymmärtää miten elektronit ja niistä muodostuva sähkövirta käyttäytyvät sähköisissä potentiaali-eroissa. Tutkielmassa käydään läpi puolijohteiden ominaisuudet, ja miten ne liittyvät niistä muodostettujen laitteiden sähköiseen käyttäytymiseen.

2. Puolijohde ja seostus

Ymmärtääksemme transistorien toimintaa, meidän tulee ensin käsitellä elektronien vyörakennetta. Elektronisen vyörakenteen teorian mukaan kiinteässä aineessa elektronien energiat jakautuvat niin tiiviisti, että energiaväljen sijasta voidaan käyttää jatkuvia energiavöitä. Viimeinen perustilan energiavyö, jolla on elektroneja, on nimeltään valenssivyö. Sallittua energiavyötä valenssivyön yläpuolella kutsutaan johtavuusvyöksi. Kuvassa 1 on esitetty eri materiaalien energiavyörakenteita niiden Fermi-tason E_F suhteen. [5]



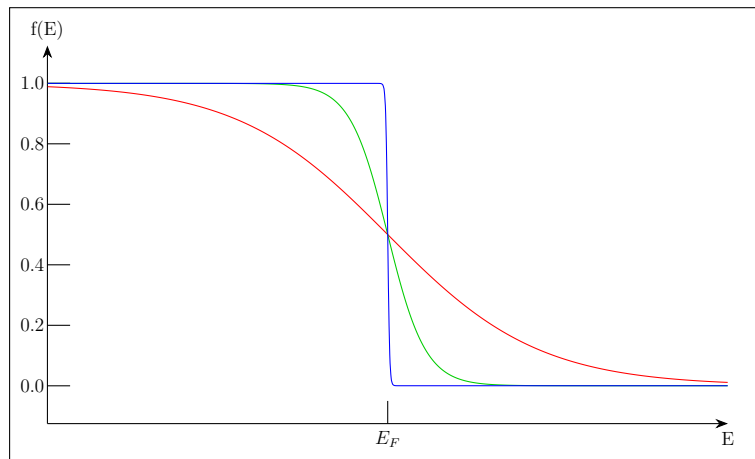
Kuva 1: Eri materiaalien Fermi-tasojen sijainti elektronisessa vyörakenteessa. Tummempi väritys kuvaa miehitettyjä energiatiloja ja leveys tilojen määrää.

Termodynaamisessa tasapainotilassa todennäköisyyden sille, että elektroni miehittää tilan jonka energia on E , antaa Fermi-Dirac jakauma [11]

$$f(E) = \frac{1}{1 + e^{(E-E_F)/k_B T}} \quad (1)$$

missä k_B on Boltzmann vakio ja T lämpötila. Nähdään, että $f(E_F) = \frac{1}{2}$, mistä saadaan määritelmä Fermi-tasolle, joka on tila, missä elektronilla on 50 % todennäköisyys esiintyä. Absoluuttisessa nollassa yhtälö muuttuu porraskunktioksi, jolloin kaikki tilat Fermi-tasoon asti on miehitetty, ja kaikki tilat sen jälkeen ovat tyhjiä. Kuvassa 2 on esitetty kuinka lämpötilan noustessa todennäköisyys, että Fermi-tasoa korkeammilla energiatasoilla esiintyy elektroni, kasvaa.

Sähkönjohteissa Fermi-taso esiintyy energiavyön sisällä, kun taas puolijosteiden ja eristeiden Fermi-taso on kahden vyön välillä. Absoluuttisessa nolatilassa puoliohde käyttäytyy siis kuin eriste. Koska eristeissä esiintyy vain täytettyjä tai tyhjiä energiavöitä, sähkökentälle alistetun eristeen elektronit eivät pysty ottamaan energiaa kentästä, ellei vöiden välisiä siirtymiä lasketa. Täten eristeen sähkönjohtavuus on heikko. Puolijosteissa energiaväli on sen suuruinen, että osa elektroneista pystyy lämpötilasta riippuen siirtymään johtavuusvyölle, jolloin valenssivyölle syntyy samalla aukkoja. Seostamalla puolijosteen Fermi-taso saadaan siirrettyä lähemmäksi vöitä. [11]



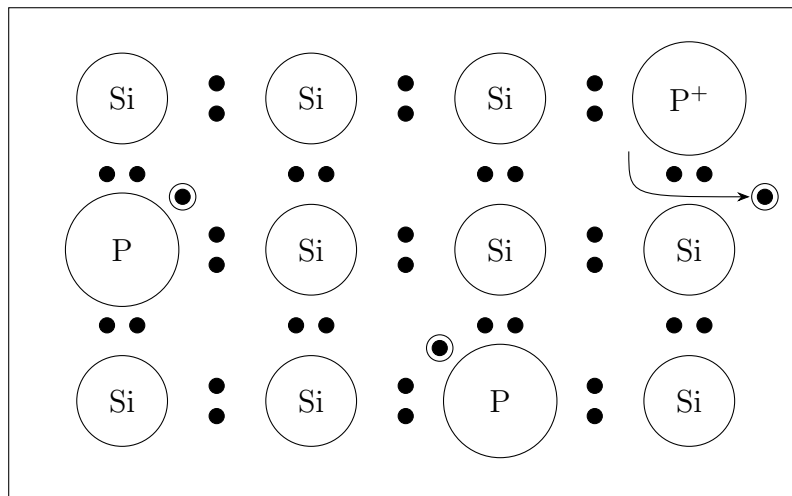
Kuva 2: Fermi-Dirac jakauma eri lämpötiloissa. Sininen käyrä on lähimpänä absoluuttista nolapistettä.

Seostukseksi kutsutaan menetelmiä, joissa aineeseen lisätään epäpuhtauksien kautta ylimääräisiä varauksenkuljettajia, eli elektroneja tai aukkoja. Transistorien valmistukseen yleisimmin käytetyssä puolijosteessa piissä tämä suoritetaan lisäämällä piihin pentavalenttia (esim. fosfori) ainetta, jotta saadaan negatiivista eli n-tyypin puolijohdetta, ja trivalenttia (esim. boori) ainetta, jotta saadaan positiivista eli p-tyypin puolijohdetta [12,13]. N-tyypin tapauksessa epäpuhtaudet sitoutuvat neljään piiatomiin ja yksi valenssielektroni jää vapaaksi. P-tyypissä epäpuhtauksien kolme valenssielektronia tarkoittaa, että yhdestä sidoksesta puuttuu elektroni. Tätä kutsutaan aukoksi. [5]

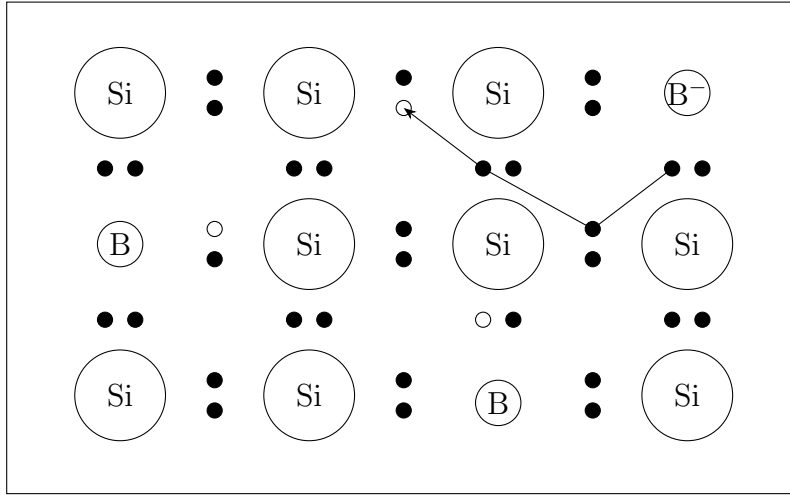
Kuvissa 3 ja 4 on kuvattu epäpuhtauksia kiteessä. N-tyypin piissä epäpuhtauksia kutsutaan luovuttaja-atomeiksi, sillä ne luovuttavat yhden elektroneistaan vapaaksi varauksenkuljettajaksi kiteeseen.

Luovuttaja-atomien tuonti kiteeseen muodostaa sallittuja energiatasoja energiarakoon hieman johtavuusvyötä matalammalle. Epäpuhtausatomien luovuttamat elektronit miehittävät energiarakoon lisätyt tilat matalissa lämpötiloissa. Huoneenlämmössä näillä elektroneilla on tarpeeksi energiaa siirtyä johtavuusvyölle vapaaksi varauksenkuljettajiksi. Luovuttaessaan elektronin, luovuttaja-atomista tulee positiivisen varauksen kuljettaja. Huomioitavaa on, ettei seostusaine liiku kiteessä, vain vapaat elektronit liikkuvat. [5]

P-tyyppisessä piissä lisätyn aineen puuttuvat elektronit aiheuttavat aukkoja. Koska aukko voidaan paikata elektronilla, näitä epäpuhtauksia kutsutaan vastaanottaja-atomeiksi. Vastaanottaja-atomit luovat energiatasoja hieman valenssivyötä korkeammalle, ja huoneenlämmössä vastaanottaja-atomit voivat helposti muodostaa neljännen sidoksen kaappaamalla elektronin kiteestä, jolloin syntynyt aukko voidaan mieltää aukon vapaaksi liikkeeksi kiteessä. Kaapatessaan elektronin vastaanottaja-atomista tulee negatiiviseksi varautunut. [5]



Kuva 3: N-tyypin kide. Ympyröidyt elektronit kuvaavat luovuttaja-atomien ylimääräisiä elektroneja. Oikealla positiivisesti varautunut fosfori atomi luovuttaessaan elektronin.



Kuva 4: P-tyypin kide. Nuolella on kuvattu aukon liikettä, kun elektronit paikkaavat aukon edellisessä paikassa. Oikealla negatiivisesti varautunut boori atomi vastaanotettuuan elektronin.

Huoneenlämmössä käytännössä kaikki puolijohteen seosatomit ovat ionisoituja. Lisäksi kiteen vapaiden varaustenkuljettajien määrä muodostuu pääosin epäpuhtausatomien vapaista varauksenkuljettajista. Tällöin saadaan elektronien ja aukkojen tiheyksille yhtälöt. N-tyypissä

$$n \cong N_d \text{ ja } p \cong \frac{n_i^2}{N_d} \quad (2)$$

ja p-tyypissä

$$p \cong N_a \text{ ja } n \cong \frac{n_i^2}{N_a} \quad (3)$$

missä n on vapaiden elektronien tiheys, p vapaiden aukkojen tiheys, N_d luovuttaja-atomien tiheys, n_i on olennainen kuljettajatiheys ja N_a vastaanottaja-atomien tiheys. Olennainen kuljettajatiheys on elektronien määrä johtavuusvyössä tai aukkojen määrä valenssivyössä seostamattomassa materiaalissa. Yhtälöihin (1) ja (2) on poikkeuksia matalissa ja korkeissa lämpötiloissa. Kun lämpötila on tarpeeksi matala, seostetut atomit eivät ionisoidu ja puolijohhteessa ei ole tarpeeksi varauksenkuljettajia. Tiheysten yhtälöt eivät myöskään päde tarpeeksi korkeassa lämpötilassa, sillä silloin suurella määrällä puolijohteen ominaisista atomeista on tarpeeksi energiaa siirtää elektronejaan johtavuusvyölle, jolloin puolijohde voidaan mieltää ominaiseksi vaikka se on seostettu. [5]

Kun $E - E_F$ on riittävän suuri voidaan Fermi-Dirac jakaumaa approksimoida Maxwell-Boltzmann jakaumalla:

$$f(E) = \frac{1}{1 + e^{(E-E_F)/k_B T}} \cong e^{-\frac{E-E_F}{k_B T}} \quad (4)$$

Tämän approksimaation avulla voidaan johtaa esimerkiksi Fermi-tasolle yhtälöt n- ja p-tyypin puolijohdeille esittämällä elektronien ja aukkojen tiheys suhteessa olennaiseen kuljettajatiheyteen.

$$n = N_d = n_i e^{\frac{E_{FN} - E_i}{k_B T}} \Rightarrow E_{FN} - E_i = k_B T \ln \left(\frac{N_d}{n_i} \right) \quad (5)$$

$$p = N_a = n_i e^{\frac{E_i - E_{FP}}{k_B T}} \Rightarrow E_i - E_{FP} = k_B T \ln \left(\frac{N_a}{n_i} \right) \quad (6)$$

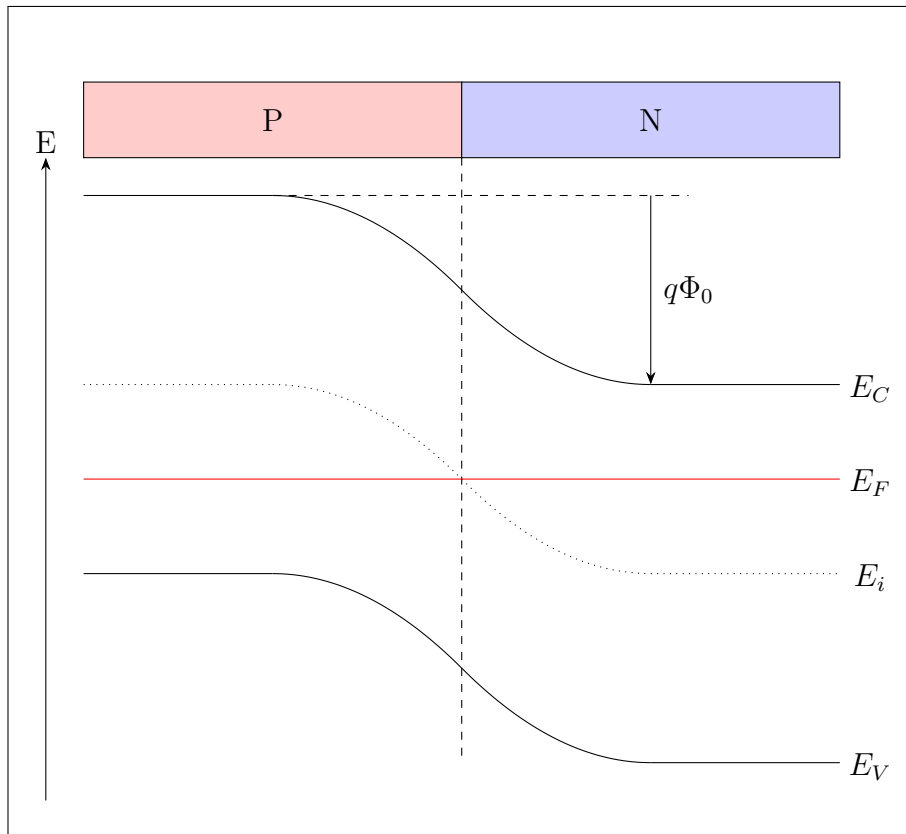
Tässä E_{FN} on Fermi-taso n-tyypissä, E_{FP} Fermi-taso p-tyypissä, E_i olennainen Fermi-taso, eli Fermi-taso seostamattomassa puolijohdeessa. Ilmenee, että Fermi-taso n-tyyppisessä puolijohdeessa sijaitsee ominaisen Fermi-tason ja johtavuusvyön välillä, ja p-tyyppisessä ominaisen Fermi-tason ja valenssivyön välillä. [5]

3. Diodi

Diodi on komponentti, joka on muodostettu yhdistämällä p- ja n-tyyppinen puolijohde toisiinsa. Tällä kokonaisuudella on yhteinen Fermi-taso. Kun puolijohde yhdistetään PN-liitokseksi, runsaselektronisesta n-tyypistä diffusoi elektroneja p-tyyppiin ja runsasaukkoisesta p-tyypistä aukkoja n-tyyppiin. Tällöin varaus siirtymästä johtuen liitokseen syntyy niin sanottu liitospotentiaali, Φ_0 . N- ja p-tyypin vyöt jäsentyvät yhteisen Fermi-tason mukaan, ja kertomalla liitospotentiaali elektronin varauksella, $-q$, saadaan yhtälöitä (5) ja (6) käyttämällä

$$E_{FN} - E_{FP} = q\Phi_0 = k_B T \ln \left(\frac{N_a N_d}{n_i^2} \right) \quad (7)$$

Kuvaan 5 on havainnollistettu PN-liitoksen energiavyödiagrammi. [5]



Kuva 5: PN-liitoksen energiavyödiagrammi. E_C ja E_V ovat johtavuusvyön alaraja ja valenssivyön yläraja. E_i on seostamattoman puolijohde-ominaisen Fermi-taso. E_F on liitoksen Fermi-taso.

Elektronien siirtyessä p-tyyppiin, jää n-tyyppiin ionisoituja atomeja, joista elektronit lähtivät. Koska atomit eivät liiku, syntyy n-tyyppiin alue, joka on tyhjiällä elektroneista. Tämä positiivisesti varautunut alue vetää elektroneja puoleensa niin, että tasapainotilassa diffuusiovoima, joka puskee elektroneja p-tyyppiin, on yhtäsuuri kuin sisäinen sähkökenttä joka vetää elektroneja takaisin n-tyyppiin. Vastaavasti p-tyyppiin syntyy negatiivisesti varautunut alue. Näitä varaustenkuljettajista puutteillaan olevia alueita kutsutaan tyhjennysalueiksi. [5]

Ymmärtääksemme, miten virta kulkee diodissa ja myöhemmin muissa puolijohdekomponenteissa, meidän tulee laskea liitokselle sähkökentän, sähköisen potentiaalin ja tyhjennysalueen leveyden yhtälöt, sekä sähkövirran tiheys suhteessa ulkoiseen potentiaaliin.

Liitoksen sähkökenttä ja potentiaalivaihtelu tyhjennysalueella voidaan laskea käyttämällä Poissonin yhtälöä, joka saadaan Gaussin laista [14] ja sähkökentän sekä sähköisen potentiaalin suhteesta [15]

$$\begin{aligned}\nabla \cdot E &= \frac{\rho}{\epsilon_S} \Rightarrow \nabla \cdot (-\nabla\Phi) = \frac{\rho}{\epsilon_S} \\ \Rightarrow \nabla^2\Phi &= -\frac{\rho}{\epsilon_S}\end{aligned}\quad (8)$$

missä Φ on sähköinen potentiaali, ρ varaustiheys ja ϵ_S permittiivisyys. Yksiulotteisessa tapauksessa saadaan liitokselle

$$\frac{d^2\Phi(x)}{dx^2} = -\frac{q}{\epsilon_S}(p - n + N_d - N_a) \quad (9)$$

$$\frac{d^2\Phi(x)}{dx^2} = -\frac{q}{\epsilon_S}\left(p_0 \exp\left[-\frac{q\Phi_0(x)}{k_B T}\right] - n_0 \exp\left[\frac{q\Phi_0(x)}{k_B T}\right] + N_d - N_a\right) \quad (10)$$

missä on käytetty niin sanottuja Boltzmannin suhteita elektroneille ja aukoilta

$$n(x) = n_i \exp\left[\frac{E_F - E_{i0} + q\Phi_0(x)}{k_B T}\right] = n_0 \exp\left[\frac{q\Phi_0(x)}{k_B T}\right] \quad (11)$$

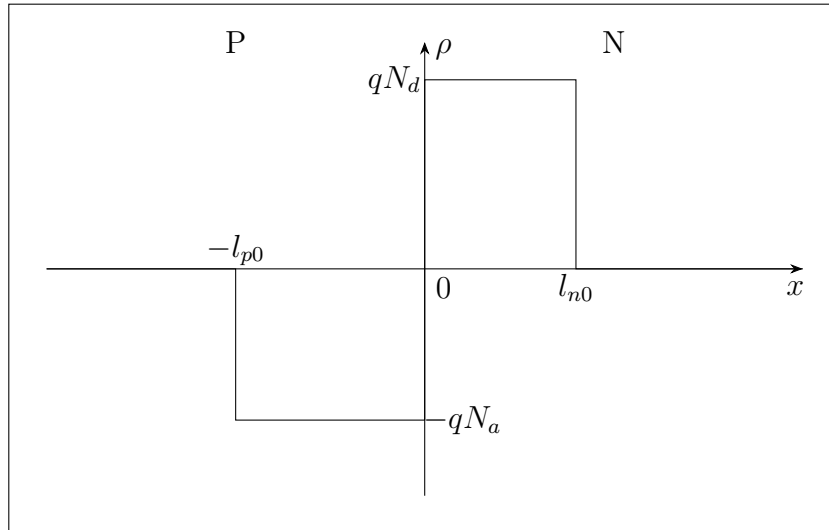
$$p(x) = n_i \exp\left[-\frac{E_F - E_{i0} + q\Phi_0(x)}{k_B T}\right] = p_0 \exp\left[-\frac{q\Phi_0(x)}{k_B T}\right] \quad (12)$$

missä tiheydet ovat paikan funktioita ja n_0 sekä p_0 ovat vertausarvoja. [5]

Yhtälöä voidaan yksinkertaistaa olettamalla, että vapaiden varaustenkuljettajien vaikutus paikalliseen sähkövaraukseen tyhjennysalueella on olematon. Tällöin vain ionisoidut seostus epäpuhtaudet vaikuttavat varaukseen ja varaustiheys on kokonaisuudessaan qN_d n-tyyppin ja $-qN_a$ p-tyyppin tyhjennysalueella. Oletetaan myös, että puolijohde on varausneutraaleja tyhjennysalueen ulkopuolella. Olkoon l_{p0} tyhjennysalueen leveys p-tyyppissä ja l_{n0} n-tyyppissä. Tällöin PN-liitoksen varaustiheys voidaan jakaa neljään alueeseen:

$$\rho(x) = \begin{cases} 0, & \text{kun } -\infty < x < -l_{p0} \\ -qN_a, & \text{kun } -l_{p0} < x < 0 \\ qN_d, & \text{kun } 0 < x < l_{n0} \\ 0, & \text{kun } l_{n0} < x < \infty \end{cases}$$

Kuvassa 6 on varaustiheyden kuvaaja.



Kuva 6: Varaustiheys paikan funktiona, missä $x = 0$ on p- ja n-tyyppin rajapinta.

Nyt integroimalla Poissonin yhtälöä kertaalleen saadaan sähkökentälle yhtälöt: kun $-\infty < x \leq -l_{p0}$

$$E(x) = 0$$

kun $-l_{p0} < x < 0$

$$\frac{d^2\Phi(x)}{dx^2} = \frac{dE(x)}{dx} = -\frac{qN_a}{\epsilon_S} \Rightarrow \int_{-l_{p0}}^x dE(x) = -\int_{-l_{p0}}^x \frac{qN_a}{\epsilon_S} dx$$

$$\begin{aligned}\Rightarrow E(x) - E(-l_{p0}) &= -\frac{qN_a}{\epsilon_S}(x + l_{p0}) \\ \Rightarrow E(x) &= -\frac{qN_a}{\epsilon_S}(x + l_{p0})\end{aligned}$$

kun $0 < x < l_{n0}$

$$\begin{aligned}\frac{dE(x)}{dx} &= \frac{qN_d}{\epsilon_S} \Rightarrow \int_x^{l_{n0}} dE(x) = \int_x^{l_{n0}} \frac{qN_d}{\epsilon_S} dx \\ \Rightarrow E(l_{n0}) - E(x) &= \frac{qN_d}{\epsilon_S}(l_{n0} - x) \\ \Rightarrow E(x) &= -\frac{qN_d}{\epsilon_S}(l_{n0} - x)\end{aligned}$$

ja kun $l_{n0} \leq x < \infty$

$$E(x) = 0$$

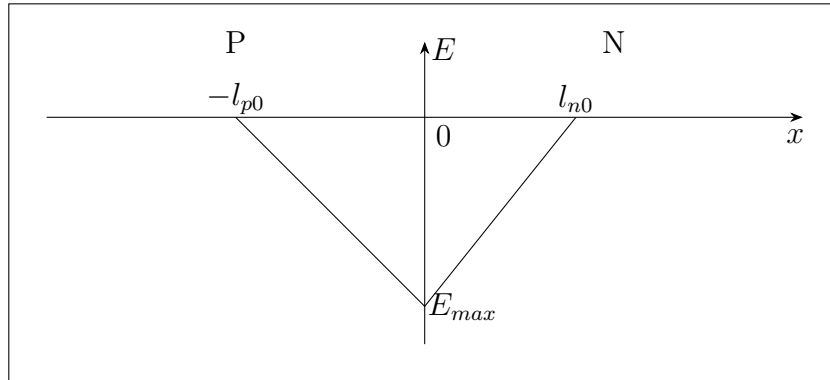
Sähkökentän jatkuvuuden takia saadaan yhtäsuuruus kun $x = 0$:

$$-\frac{qN_a}{\epsilon_S}l_{p0} = -\frac{qN_d}{\epsilon_S}l_{n0} \Rightarrow N_al_{p0} = N_dl_{n0} \quad (13)$$

$x = 0$ on myös sähkökentän maksimi:

$$E_{max} = -\frac{qN_a}{\epsilon_S}l_{p0} = -\frac{qN_d}{\epsilon_S}l_{n0} \quad (14)$$

Kuvassa 7 on sähkökentän kuvaaja.



Kuva 7: Sähkökentän suuruus paikan funktiona. Sähkökenttä on suurimmillaan liitoksen rajapinnalla.

Integroimalla Poissonin yhtälöä toisen kerran saadaan alueiden sähköpotentiaali:

kun $-\infty < x \leq -l_{p0}$

$$\Phi_0(x) = \Phi_{p0}$$

kun $-l_{p0} < x < 0$

$$\begin{aligned} -E(x) &= \frac{d\Phi(x)}{dx} = \frac{qN_a}{\epsilon_S}(x + l_{p0}) \\ \Rightarrow \int_{-l_{p0}}^x d\Phi(x) &= \int_{-l_{p0}}^x \frac{qN_a}{\epsilon_S}(x + l_{p0})dx \\ \Rightarrow \Phi_0(x) - \Phi(-l_{p0}) &= \frac{qN_a}{2\epsilon_S}(x^2 - (-l_{p0})^2) + \frac{qN_a}{\epsilon_S}(l_{p0}x - l_{p0}(-l_{p0})) \\ &= \frac{qN_a}{2\epsilon_S}(x^2 + 2l_{p0}x + l_{p0}^2) = \frac{qN_a}{2\epsilon_S}(x + l_{p0})^2 \end{aligned}$$

koska

$$\Phi(-l_{p0}) = \Phi_{p0} \Rightarrow \Phi_0(x) = \frac{qN_a}{2\epsilon_S}(x + l_{p0})^2 + \Phi_{p0}$$

kun $0 < x < l_{n0}$

$$\begin{aligned} -E(x) &= \frac{d\Phi(x)}{dx} = \frac{qN_d}{\epsilon_S}(l_{n0} - x) \\ \Rightarrow \int_x^{l_{n0}} d\Phi(x) &= \int_x^{l_{n0}} \frac{qN_d}{\epsilon_S}(l_{n0} - x)dx \\ \Rightarrow \Phi(l_{n0}) - \Phi_0(x) &= \frac{qN_d}{\epsilon_S}(l_{n0}(l_{n0}) - l_{n0}x) - \frac{qN_d}{2\epsilon_S}(l_{n0}^2 - x^2) \\ &= \frac{qN_d}{2\epsilon_S}(l_{n0}^2 - 2l_{n0}x + x^2) = \frac{qN_d}{2\epsilon_S}(l_{n0} - x)^2 \end{aligned}$$

koska

$$\Phi(l_{n0}) = \Phi_{n0} \Rightarrow \Phi_0(x) = \Phi_{n0} - \frac{qN_d}{2\epsilon_S}(l_{n0} - x)^2$$

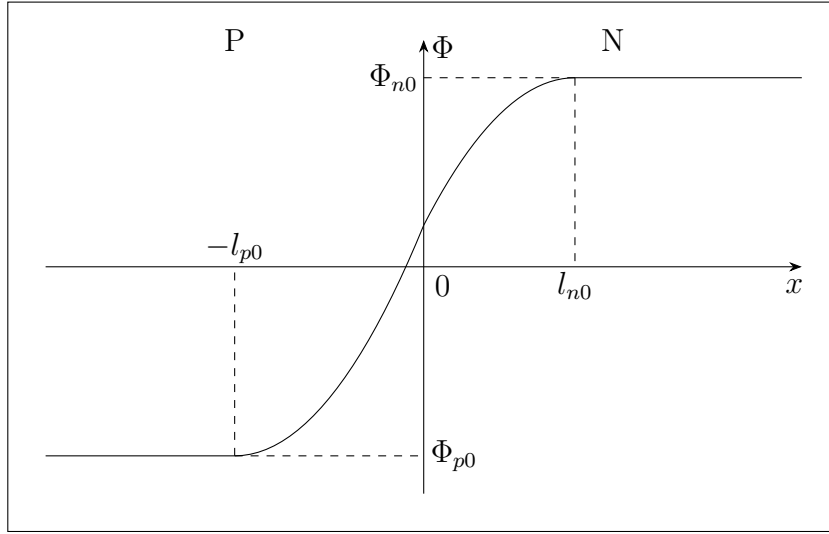
ja kun $l_{n0} \leq x < \infty$

$$\Phi_0(x) = \Phi_{n0}$$

Potentiaalin jatkuvuuden takia saadaan yhtäsuuruus kun $x = 0$:

$$\begin{aligned} \frac{qN_a}{2\epsilon_S}l_{p0}^2 + \Phi_{p0} &= \Phi_{n0} - \frac{qN_d}{2\epsilon_S}l_{n0}^2 \\ \Phi_0 = \Phi_{n0} - \Phi_{p0} &= \frac{qN_a}{2\epsilon_S}l_{p0}^2 + \frac{qN_d}{2\epsilon_S}l_{n0}^2 = \frac{k_B T}{q} \ln \left(\frac{N_a N_d}{n_i^2} \right) \end{aligned} \quad (15)$$

Kuvassa 8 on sähköpotentiaalin kuvaaja.



Kuva 8: Sähköinen potentiaali paikan funktiona.

Tyhjennysalueiden leveydet voidaan esittää sähköpotentiaalın funktioina:

$$\begin{aligned}\Phi_0 &= \frac{qN_a}{2\epsilon_S} l_{p0}^2 + \frac{qN_d}{2\epsilon_S} l_{n0}^2 = \frac{qN_a}{2\epsilon_S} l_{p0}^2 + \frac{qN_d}{2\epsilon_S} \left(\frac{N_a l_{p0}}{N_d} \right)^2 \\ \Rightarrow \Phi_0 &= \frac{q l_{p0}^2}{2\epsilon_S} \left(N_a + \frac{N_a^2}{N_d} \right) = \frac{q l_{p0}^2}{2\epsilon_S} \left(\frac{N_a(N_a + N_d)}{N_d} \right) \\ l_{p0} &= \sqrt{\frac{2\epsilon_S}{q} \frac{\Phi_0 N_d}{N_a(N_a + N_d)}}\end{aligned}\quad (16)$$

ja vastaavasti

$$l_{n0} = \sqrt{\frac{2\epsilon_S}{q} \frac{\Phi_0 N_a}{N_d(N_a + N_d)}}\quad (17)$$

Tällöin koko tyhjennysalueen leveys on:

$$\begin{aligned}l_{p0} + l_{n0} &= \sqrt{\frac{2\epsilon_S}{q} \frac{\Phi_0 N_d}{N_a(N_a + N_d)}} + \sqrt{\frac{2\epsilon_S}{q} \frac{\Phi_0 N_a}{N_d(N_a + N_d)}} \\ &= \sqrt{\frac{2\epsilon_S \Phi_0}{q}} \left(\sqrt{\frac{N_d}{N_a(N_a + N_d)}} + \sqrt{\frac{N_a}{N_d(N_a + N_d)}} \right) \\ &= \sqrt{\frac{2\epsilon_S \Phi_0}{q}} \left(\sqrt{\frac{N_d^2}{N_a N_d(N_a + N_d)}} + \sqrt{\frac{N_a^2}{N_a N_d(N_a + N_d)}} \right)\end{aligned}$$

$$= \sqrt{\frac{2\epsilon_S \Phi_0}{q} \frac{N_a + N_d}{\sqrt{N_a N_d (N_a + N_d)}}} = \sqrt{\frac{2\epsilon_S \Phi_0 (N_a + N_d)}{q N_a N_d}} \quad (18)$$

Edellä johdettu sähköinen potentiaali toimii vallina, joka estää varaustenkuljettajien liikkeen.

Jos liitokseen lisätään ulkoinen sähköpotentiaali V , saadaan potentiaaliksi

$$\Phi = \Phi_0 - V$$

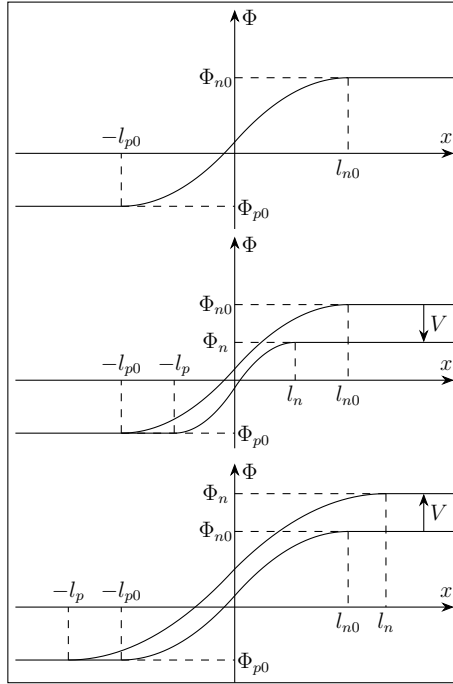
Tilannetta, jossa p-tyyppi on kytketty korkeampaan ulkoiseen sähköpotentiaaliin kuin n-tyyppi, kutsutaan nimellä myötäbias ja V on positiivinen. Vastabiaksessa taas n-tyyppiin on tuotu korkeampi ulkoinen sähköpotentiaali ja V on negatiivinen. Kuten edellä, saadaan Poissonin yhtälöstä ratkaistua yhtälöt korvaamalla yhtälöiden (16) ja (17) l_{n0} , l_{p0} ja Φ_0 l_n :llä, l_p :llä ja $(\Phi_0 - V)$:llä

$$l_p = \sqrt{\frac{2\epsilon_S (\Phi_0 - V) N_d}{q N_a (N_a + N_d)}} \quad (19)$$

ja

$$l_n = \sqrt{\frac{2\epsilon_S (\Phi_0 - V) N_a}{q N_d (N_a + N_d)}} \quad (20)$$

Kuvaan 9 on piirretty potentiaalın muutoksen vaikutus tyhjennysalueen leveyteen. [5]



Kuva 9: Ylimmässä kuvaajassa on liitoksen potentiaali ilman ulkoista sähköpotentiaalia. Keskellä on liitos myötäbiaksessa, jolloin tyhjennysalue kutistuu. Alimpana on liitos vastabiaksessa, jolloin tyhjennysalue laajenee.

Huomataan, että vastabiaksessa tyhjennysalue levenee, sillä korkeampi sähköpotentiaali vetää n-tyyppisiä elektroneja pois liitoksesta. Sama tapahtuu p-tyyppin puolella aukoilta. Tällöin liitoksessa ei kulje virtaa. Myötäbiaksessa liitoksen potentiaalivalli laskee niin, että elektroneja pääsee virtaamaan n-tyyppistä p-tyyppiin ja aukkoja p-tyyppistä n-tyyppiin. Tällöin liitoksessa kulkee virtaa. [5]

Sähkövirran tiheyden ja ulkoisen potentiaaliin suhteen laskemisessa käytetään muutamaa oletusta. Ensiksi oletetaan, että elektronien kulkeutuminen tyhjennysalueen ulkopuolelle p-tyyppissä on vähäinen verrattuna aukkoihin ja aukkojen kulkeutuminen tyhjennysalueen ulkopuolelle n-tyyppissä on vähäinen verrattuna elektroneihin. Tämä tarkoittaa, ettei tyhjennysalueen läpäiseviä varauksenkuljettajia huomioida elektronien tiheydessä n-tyyppissä tai aukkojen tiheydessä p-tyyppissä.

$$n_n(x) = n_{n0} = N_d \text{ n-tyyppissä tyhjennysalueen ulkopuolella}$$

$$p_p(x) = p_{p0} = N_a \text{ p-tyyppissä tyhjennysalueen ulkopuolella}$$

Alaindeksi p tai n kertoo kumman puolijohteen varaustenkuljettajista on kyse, ja nolla tasapainotilaa. Seuraavaksi oletetaan, että Boltzmannin suhteet (11) ja (12) pätevät. N-tyypissä tyhjennysalueen ulkopuolella Boltzmannin suhde on siis

$$n_n(x) = n_{n0} = n_i \exp \left[\frac{E_F - E_{i0}}{k_B T} \right] \exp \left[\frac{q\Phi_n}{k_B T} \right],$$

kun potentiaali alueella on Φ_n . Yhdistämällä tämä tyhjennysalueen Boltzmannin suhteeseen saadaan

$$n(x) = n_i \exp \left[\frac{E_F - E_{i0}}{k_B T} \right] \exp \left[\frac{q\Phi(x)}{k_B T} \right] \Rightarrow n(x) = n_{n0} \exp \left[\frac{q(\Phi(x) - \Phi_n)}{k_B T} \right]$$

Paikassa $x = -l_p$ pätee $\Phi(x) = -\Phi_p$ ja koska $\Phi_p - \Phi_n = V - \Phi_0$, saadaan

$$n_p(-l_p) = n_{n0} \exp \left[\frac{q(\Phi_p - \Phi_n)}{k_B T} \right] = n_{n0} \exp \left[\frac{-q\Phi_0}{k_B T} \right] \exp \left[\frac{qV}{k_B T} \right]$$

Sijoittamalla tämä tasapainotilan liitospotentiaalin yhtälöön (15) saadaan

$$\begin{aligned} \Phi_0 = \Phi_p - \Phi_n &= \frac{k_B T}{q} \ln \left(\frac{N_a N_d}{n_i^2} \right) = \frac{k_B T}{q} \ln \left(\frac{p_{p0} n_{n0}}{n_i^2} \right) \\ \Rightarrow n_p(-l_p) &= n_{n0} \frac{n_i^2}{p_{p0} n_{n0}} \exp \left[\frac{qV}{k_B T} \right] = \frac{n_i^2}{p_{p0}} \exp \left[\frac{qV}{k_B T} \right] \end{aligned}$$

Yhtälöstä (3) saadaan $n_{p0} = \frac{n_i^2}{p_{p0}}$ ja päädytään yhtälöön

$$n_p(-l_p) = n_{p0} \exp \left[\frac{qV}{k_B T} \right] \quad (21)$$

Samankaltainen prosessi voidaan suorittaa saadakseen aukoilte n-tyypin tyhjennysalueen rajalla

$$p_n(l_n) = p_{n0} \exp \left[\frac{qV}{k_B T} \right] \quad (22)$$

Täten ylimääräisten varaustenkuljettajien tiheydet $n'_p(-l_p)$ ja $p'_n(l_n)$ tyhjennysalueiden rajoilla ovat

$$n'_p(-l_p) = n_p(-l_p) - n_{p0} = n_{p0} \left[\exp \left(\frac{qV}{k_B T} \right) - 1 \right] \quad (23)$$

$$p'_n(l_n) = p_n(l_n) - p_{n0} = p_{n0} \left[\exp \left(\frac{qV}{k_B T} \right) - 1 \right] \quad (24)$$

Oletetaan myös, että tyhjennysalueen ulkopuolella sähkövirta johtuu diffuusiosta, eli potentiaali ei muutu, eikä sähkökenttää ole. Tällöin virtatiheys aukkoille J_p ja virtatiheys elektroneille J_n ovat

$$J_p = q\mu_p p E - qD_p \frac{dp}{dx} = -qD_p \frac{dp}{dx} \quad (25)$$

n-tyypissä tyhjennysalueen ulkopuolella ja

$$J_n = q\mu_n n E + qD_n \frac{dn}{dx} = qD_n \frac{dn}{dx} \quad (26)$$

p-tyypissä tyhjennysalueen ulkopuolella, missä D_p ja D_n ovat aukkojen ja elektronien diffuusio kertoimet. Alaindeksit p ja n merkitsevät nyt aukkoja ja elektroneja. Kirjoitetaan nyt jatkuvuus yhtälö aukkoille n-tyypissä tyhjennysalueen ulkopuolella.

$$\frac{\partial p_n}{\partial t} = -\frac{1}{q} \frac{\partial J_p}{\partial x} - \frac{p_n - p_{n0}}{\tau_p}$$

Tässä τ_p on aukon elinikä. Sijoittamalla J_p

$$\frac{\partial p_n}{\partial t} = D_p \frac{\partial^2 p_n}{\partial x^2} - \frac{p_n - p_{n0}}{\tau_p}$$

Vakaassa tilassa $\partial p_n / \partial t = 0$ ja saadaan differentiaaliyhtälö

$$D_p \frac{d^2 p_n}{dx^2} = \frac{p_n - p_{n0}}{\tau_p}$$

jonka ratkaisu on

$$p_n(x) = p_{n0} + A \exp\left(-\frac{x}{L_p}\right) + B \exp\left(\frac{x}{L_p}\right) \quad (27)$$

missä A ja B ovat integrointivakioita ja L_p on aukkojen diffuusio pituus, jonka määritelmä on $L_p = \sqrt{D_p \tau_p}$. Elektroneille p-tyypin tyhjennysalueen ulkopuolella saadaan vastaavasti

$$n_p(x) = n_{p0} + C \exp\left(-\frac{x}{L_n}\right) + D \exp\left(\frac{x}{L_n}\right) \quad (28)$$

Neljäntenä oletuksena oletetaan, että tyhjennysalueen ulkopuolinen alue on pidempi kuin varaustenkuljettajien diffuusio pituus. Tyhjennysalueen koko on myös huomattavasti pienempi kuin koko liitoksen. Matemaattisesti

oletetaan, että nämä alueet ulottuvat äärettömyyteen. Koska termodynaamisessa tasapainotilassa kaukana liitoksesta ($x = \infty$) $p_n(\infty) = p_{n0}$, yhtälöstä (27) saadaan

$$\begin{aligned} p_n(\infty) &= p_{n0} \Rightarrow B = 0 \\ p_n(l_n) &= p_{n0} \exp\left[\frac{qV}{k_B T}\right] = p_{n0} + A \exp\left(\frac{-l_n}{L_p}\right) \\ \Rightarrow A &= p_{n0} \left[\exp\left(\frac{qV}{k_B T}\right) - 1 \right] \exp\left(\frac{l_n}{L_p}\right) \end{aligned}$$

Nyt tunnetaan integraatio vakiot ja aukkojen tiheys n-tyypissä tyhjennysalueen ulkopuolella on

$$p_n(x) = p_{n0} + p_{n0} \left[\exp\left(\frac{qV}{k_B T}\right) - 1 \right] \exp\left(\frac{l_n - x}{L_p}\right)$$

Aukkojen diffuusio virta n-tyypissä tyhjennysalueen ulkopuolella on siis

$$J_p = -qD_p \frac{dp_n}{dx} = \frac{qD_p p_{n0}}{L_p} \exp\left(\frac{l_n - x}{L_p}\right) \left[\exp\left(\frac{qV}{k_B T}\right) - 1 \right] \quad (29)$$

ja vastaavasti elektronien p-tyypissä

$$J_n = qD_n \frac{dn_p}{dx} = \frac{qD_n n_{p0}}{L_n} \exp\left(\frac{l_p + x}{L_n}\right) \left[\exp\left(\frac{qV}{k_B T}\right) - 1 \right] \quad (30)$$

Koska PN-liitos mitä tarkastelemme on yksiulotteinen, sen läpi kulkeva virta on vakio ja paikasta riippumaton. Huomataan kuitenkin, että x :n arvon kasvaessa J_p pienenee. Tämä johtuu aukkojen yhdistymisestä elektronien kanssa ja koska jokaista yhdistymistä varten tarvitaan elektroni, virta muuttuu tasaisesti aukkovirrasta elektronivirraksi. Sama tapahtuu elektronivirralla p-tyypissä x :n pienentyessä. Koko virtatiheys laitteessa on kaikilla x :n arvoilla

$$J = J_n(x) + J_p(x) \quad (31)$$

Viimeisenä oletuksena on, ettei varaustenkuljettajia yhdisty tai eriydy tyhjennysalueella. Tällöin

$$J_p(-l_p) = J_p(l_n) \text{ ja } J_n(-l_p) = J_n(l_n)$$

Virta tyhjennysalueen rajalla johtuu täysin kulkeutuneista elektroneista p-tyypissä ja aukoista n-tyypissä. Tällöin kokonaisvirta laitteessa on näiden summa paikoissa l_n ja $-l_p$.

$$J = J_n(-l_p) + J_p(l_n)$$

$$\begin{aligned}
\Rightarrow J &= \frac{qD_n n_{p0}}{L_n} \exp\left(\frac{l_p + (-l_p)}{L_n}\right) \left[\exp\left(\frac{qV}{k_B T}\right) - 1 \right] \\
&\quad + \frac{qD_p p_{n0}}{L_p} \exp\left(\frac{l_n - l_n}{L_p}\right) \left[\exp\left(\frac{qV}{k_B T}\right) - 1 \right] \\
\Rightarrow J &= \left(\frac{qD_n n_{p0}}{L_n} + \frac{qD_p p_{n0}}{L_p} \right) \left[\exp\left(\frac{qV}{k_B T}\right) - 1 \right]
\end{aligned}$$

Näin päädytään lopulta sähkövirran tiheyden ja ulkoisen sähköpotentiaalın suhteeseen PN-liitoksessa

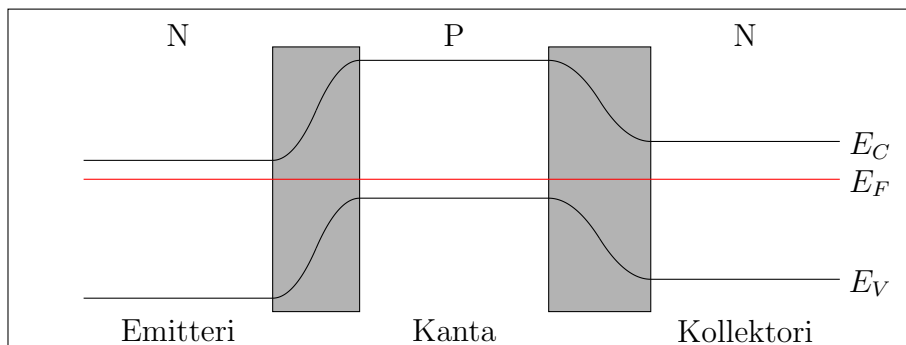
$$J = J_S \left[\exp\left(\frac{qV}{k_B T}\right) - 1 \right] \quad (32)$$

missä J_S on kyllästysvirran tiheys

$$J_S = \frac{qD_n n_{p0}}{L_n} + \frac{qD_p p_{n0}}{L_p} = qn_i^2 \left(\frac{1}{N_a} \sqrt{\frac{D_n}{\tau_n}} + \frac{1}{N_d} \sqrt{\frac{D_p}{\tau_p}} \right) \quad (33)$$

4. Bipolaaritransistori

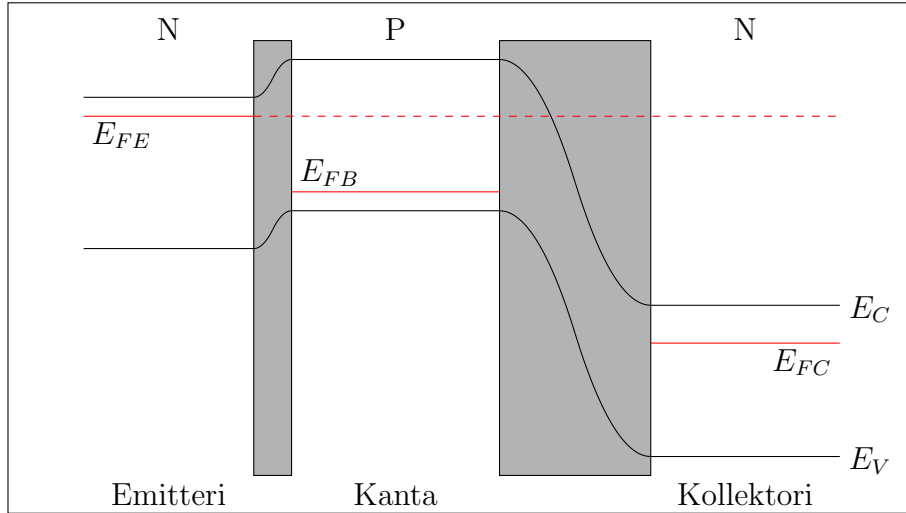
Transistori on yleensä vähintään kolmiterminaalinen komponentti, missä yhden terminaalin jännite kontrolloi muiden terminaalien toimintaa. Bipolaaritransistori on kahdesta PN-liitoksesta muodostettu komponentti. Bipolaaritransistoreita on kahden tyyppisiä, NPN-transistori ja PNP-transistori. NPN-transistorissa p-tyyppin puolijohde on kahden n-tyyppin välissä, ja PNP-transistorissa n-tyyppin puolijohde on kahden p-tyyppin välissä. Tässä työssä tarkastellaan vain NPN-transistoria. NPN-transistorin n-tyyppin alueita kutsutaan emitteriksi (emitter, E) ja kollektoriksi (collector, C). P-tyyppin aluetta kutsutaan kannaksi (base, B). Kuvassa 10 on havainnollistettu NPN-transistorin elektronista vyörakennetta. Emitteri on yleensä vahvemmin seostettu kuin kollektori, joten sen Fermi-taso on lähempänä johtavuusvyötä. [5]



Kuva 10: NPN-transistorin elektroninen vyörakenne. Harmaat alueet ovat liitosten tyhjennysalueet.

Nyt kun kyseessä on kaksi liitosta, saadaan neljä eri tilanetta riippuen liitosten biaksista. Kun emitteri-kanta liitos on myötäbiaksessa ja kanta-kollektori liitos vastabiaksessa, saadaan tilanne, jossa elektroneja liikkuu emitteristä kantaan ja aukkoja kannasta emitteriin. Elektronit jotka eivät yhdisty kannan aukkoihin etenevät kanta-kollektorin tyhjennysalueelle, jossa sähkökenttä kiihdyttää elektronit ja ne siirtyvät kollektoriin. Tätä kutsutaan transistorin avoimeksi tilaksi ja tarkemmin sanottuna se on myötäsuuntainen avoin tila. Käänteisessä toimintatilassa, eli kun emitteri-kanta on vastabiaksessa ja kanta-kollektori myötäbiaksessa, elektronit liikkuvat kollektorista emitteriin ja tila on myös avoin, mutta virta on yleensä heikompi johtuen n-tyyppin puolijohteiden eri vahvuisesta seostuksesta. Tällöin tila on estosuuntaisesti avoin.

Kuvassa 11 on havainnollistettu myötäsuuntaisen avoimen tilan elektroninen vyörakenne. [5]



Kuva 11: NPN-transistori myötäsuuntaisessa avoimessa tilassa. Katkoviiva on transistorin Fermi-taso ilman biasta. Harmaat alueet ovat liitosten tyhjennysalueet.

Suljetussa tilassa molemmat liitokset ovat vastabiaksessa, jolloin potentiaali alueiden välillä on suuri, eikä transistorissa kulje virtaa. Kun molemmat liitokset ovat myötäbiaksessa saadaan kyllästystila, missä elektronit liikkuvat vapaasti emitteristä kollektoriin ja kollektorista emitteriin. [5]

Tarkastellaan myötäsuuntaista avointa tilaa. Nyt

$$I_E = I_{pE} + I_{nE} \quad (34)$$

missä I_E on emitteriliitoksen läpi kulkeva virta, I_{pE} on aukkovirta kannasta emitteriin ja I_{nE} on elektronivirta emitteristä kantaan. Elektronivirran ja aukkovirran suhde saadaan yhtälöistä (29) paikassa $x = l_n$ ja (30) paikassa $x = -l_p$

$$\frac{J_{nE}}{J_{pE}} = \frac{AI_{nE}}{AI_{pE}} = \frac{D_n n_{p0} L_p}{D_p p_{n0} L_n} = \frac{D_n n_{p0} \sqrt{D_p \tau_p}}{D_p p_{n0} \sqrt{D_n \tau_n}} \quad (35)$$

mistä ilmenee, että emitterin elektronivirran tiheyden J_{nE} ja aukkovirran tiheyden J_{pE} suhde on sama kuin niiden virtojen suhde, sillä poikkileikkaus A on sama. Käyttämällä Einsteinin suhteita

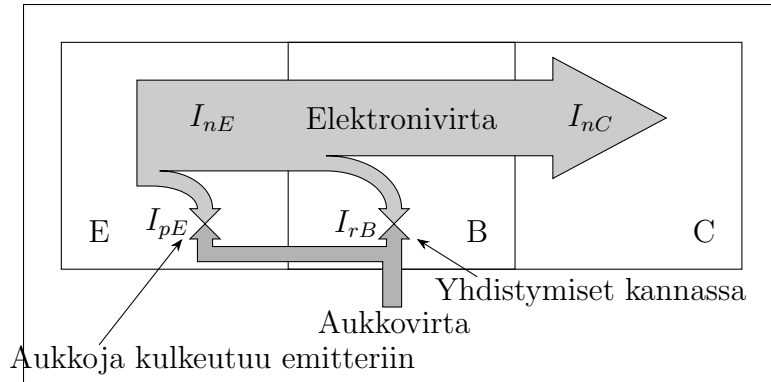
$$D_n = \frac{k_B T}{q} \mu_n$$

$$D_p = \frac{k_B T}{q} \mu_p$$

missä μ_n ja μ_p ovat elektronien ja aukkojen liikkuvuudet, saadaan yhtälö (33) muotoon

$$\frac{I_{nE}}{I_{pE}} = \sqrt{\frac{\mu_n \tau_p}{\mu_p \tau_n}} \frac{N_{dE}}{N_{aB}} \quad (36)$$

missä N_{dE} on emitterin lahjoittaja-atomien tiheys ja N_{aB} on kannan vastaanottaja-atomien tiheys. Tässä on käytetty tietoa, että elektronien määrä p-tyypissä verrattuna aukkojen määrään n-tyypissä on samassa suhteessa kuin epäpuhtauksien suhde emitterissä ja kannassa. [5]



Kuva 12: NPN-transistorissa kulkevat virrat myötäsuuntaisessa avoimessa tilassa.

Kuvassa 12 on havainnollistettu laitteessa kulkevat virrat. Aukkovirta I_{pE} kulkeutuu kannasta emitteriin, jossa aukot yhdistyvät elektronien kanssa. Suurempi elektronivirta I_{nE} kulkeutuu emitteristä kantaan. Kollektorivirta I_{nC} johtuu emitteristä kantaan kulkeutuneiden elektronien diffuusiosta kannan läpi. Vähäinen määrä kulkeutuneista elektroneista menetetään yhdistymisiin kannassa, ja kollektori virraksi saadaan $I_{nC} = I_{nE} - I_{rB}$, missä I_{rB} on elektronien yhdistymisestä johtuva virta. Koska avoimessa tilassa kollektori liitos on vastabiaksessa, suuri potentiaali estää virran kollektorista kantaan. Kirchhoffin virtalain [15] mukaan pisteeseen ei tule virtaa enempää kuin siitä poistuu. NPN-transistorille saadaan siten

$$I_C + I_B + I_E = 0 \quad (37)$$

kun pisteeksi valitaan kanta, ja kun virrat osoittavat pistettä kohti. Koska transistori on suunniteltu siten, että kannan virta on paljon pienempi kuin

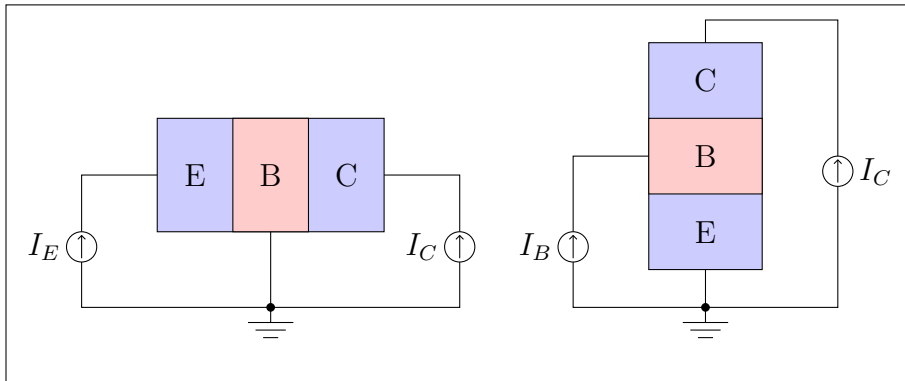
emitterin, emitterin ja kollektorin virrat ovat lähes yhtäsuuret. Nyt voidaan määrittellä parametri α_F , yhteiskantakytkennän vahvistus

$$I_C = -\alpha_F I_E \quad (38)$$

tai

$$I_C = \alpha_F(I_C + I_B) \Rightarrow (1 - \alpha_F)I_C = \alpha_F I_B \Rightarrow I_C = \frac{\alpha_F}{1 - \alpha_F} I_B \equiv \beta_F I_B \quad (39)$$

missä β_F on yhteisemitterikytkennän vahvistus. Kuvaan 13 on piirretty yhteiskanta- ja yhteisemitterikytkennät. Yhteiskantakytkennän vahvistus on suhde emitteri- ja kollektorivirran välillä, kun kanta on kytketty maahan. Se on suhdeluku elektronien, jotka ylettyvät kollektoriin, ja elektronien, jotka lähtevät emitteristä, välillä. Parametri β_F kuvaa kollektori- ja kantavirran suhdetta, kun emitteri on maadoitettu. α_F on aina pienempi kuin 1, sillä osa virrasta välttämättä yhdistyy kannassa. Tämä tarkoittaa sitä, että, kun $\alpha_F > 1/2$, transistori toimii vahvistimena yhteisemitterikytkettynä, sillä kantaan syötetty virta vastaa kollektorivirtaa joka on β_F kertaa suurempi. [5]

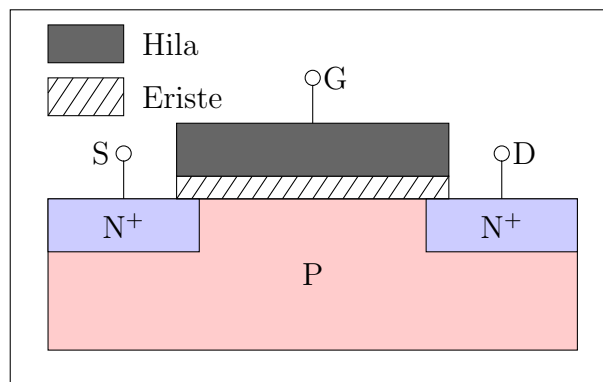


Kuva 13: Vasemmalla yhteiskantakytkentä ja oikealla yhteisemitterikytkentä.

5. Kanavatransistori

Kanavatransistori (FET, field-effect transistor) on transistori jonka toiminta perustuu varauksenkuljettajien ohjaamiseen puolijohdekanavassa vaikuttavan sähkökentän avulla. Tällaisessa transistorissa terminaalit on nimetty lähteeksi (source, S), nieluksi (drain, D) ja hilaksi (gate, G). Kuten bipolaaritransistorit ovat jaettu NPN- ja PNP-transistoreiksi, kanavatransistoritkin ovat jaettu n-kanava- ja p-kanavatransistoreihin. N-kanavassa varauksenkuljettajina toimivat vain elektronit ja p-kanavassa aukot. Tässä työssä keskitytään kuvaamaan n-kanavatransistoreiden toimintaa. Hilalle tuotu positiivinen bias aiheuttaa attraktiivisen voiman lähteen ja nielu elektronihin, jotka muodostavat hilan läheisyyteen elektronirikkaan kanavan. Kun kanava on muodostettu, elektronit kulkevat lähteestä nieluun kun lähde on korkeammassa potentiaalissa kuin nielu. [5]

Jotta kanava muodostuu transistoriin, elektronien liike hilaan täytyy estää. Metallioksidi-puolijohdekanavatransistorissa (MOSFET) liike estetään eristämällä hila perusmateriaalista metallioksidilla. Kuvassa 14 on esitetty MOS-transistorin rakenne. Transistori koostuu substraatista, joka on p-tyypin puolijohdetta, johon on asetettu vahvasti seostetusta n-tyypin puolijohdesta koostuvat lähde ja nielu. Substraatin päällä, ja lähteen sekä nielu välissä, on eriste ja metallinen (esim. TiN [16]) hila. Hila voi olla myös polypiitä [17], jota on seostettu niin runsaasti, että sen voi mieltää metalliksi.



Kuva 14: Yksinkertaisen MOS-transistorin poikkileikkaus.

Tarkastellaan tilannetta, jossa hilan jännite on sama kuin lähteen ja substraatin, sekä nielu on kytketty korkeampaan jännitteeseen. Lähteen ja substraatin välillä ei ole potentiaaliero, joten liitoksessa ei kulje virtaa.

Nielun ja substraatin liitos on vastabiaksessa, ja häviävää vuotovirtaa lukuunottamatta liitoksessa ei kulje virtaa. Lisäksi, koska hilalla ei ole potentiaaliero substraatin kanssa, kanavaa ei muodostu ja lähteen sekä nielun välillä ei ole virtaa.

Tarkastellaan nyt edellistä tilannetta, mutta hilalle on tuotu positiivinen jännite. Ohmin laista [15] saadaan pienelle kanavaelementille, jonka pituus on dx ja leveys W , saadaan

$$dV(x) = IdR(x) \quad (40)$$

Koska resistanssi on

$$R = \rho \frac{l}{A}, \quad \rho = \frac{E}{J}$$

missä ρ on sähköinen resistiivisyys, l on elementin pituus ja A poikkileikkauksen pinta-ala, saadaan yhtälöä (26) käyttämällä

$$dR(x) = \frac{1}{q\mu_n W \int_0^\infty n(x, y) dy} dx \quad (41)$$

missä y on syvyys substraatissa ja $y = 0$ on eristeen ja substraatin rajapinta. Elektronien varaus aluetta kohden voidaan lausua yhtälönä

$$Q_n(x) = q \int_0^\infty n(x, y) dy \quad (42)$$

Koska MOS-transistori muodostaa kondensaattorin hilan ja substraatin välille, ja koska kanava muodostuu vasta kun hilan jännite kohoaa niin sanotun kynnysjännitteen V_T yli, voidaan kokonaisvaraus lausua eristeen kapasitanssin C_{ox} mukaan [18]

$$Q_n(x) = C_{ox}(V_G - V_T - V(x)) \quad (43)$$

missä V_G on hilan jännite. Yhdistämällä yhtälöt (41), (42) ja (43) lauseeseen (40), saadaan

$$Idx = W\mu_n C_{ox}(V_G - V_T - V(x))dV \quad (44)$$

Integroimalla vasen puoli kanavan kokonaispituuden L yli ja huomioimalla, että virta on vakio, ja oikea puoli lähteen jännitteestä $V_S = 0$ nielun jännitteeseen V_D , saadaan kanavan virta niin sanotussa lineaarisessa tilassa

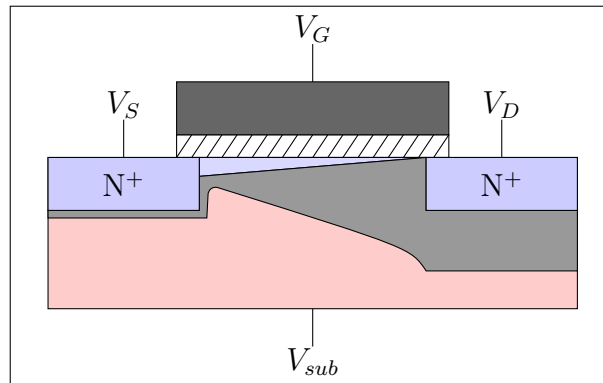
$$I \int_0^L dx = W\mu_n C_{ox} \int_0^{V_D} (V_G - V_T - V(x))dV$$

$$\Rightarrow I = \frac{W}{L} \mu_n C_{ox} \left((V_G - V_T) V_D - \frac{V_D^2}{2} \right) \quad (45)$$

Kun nielun ja lähteen jännite-ero kohoaa suuremmaksi kuin hilajännite, kanava sulkeutuu, sillä nielun elektronit ovat suuremmassa sähköisessä potentiaalissa kuin kanava. Tässä tapauksessa kanava ylettyy kohtaan, jossa $V(x) = V_G - V_T$, ja laite sanotaan olevan kyllästystilassa. Kyllästystilan kanavan virta I_{sat} (saturation) saadaan asettamalla $V_D = V_G - V_T$

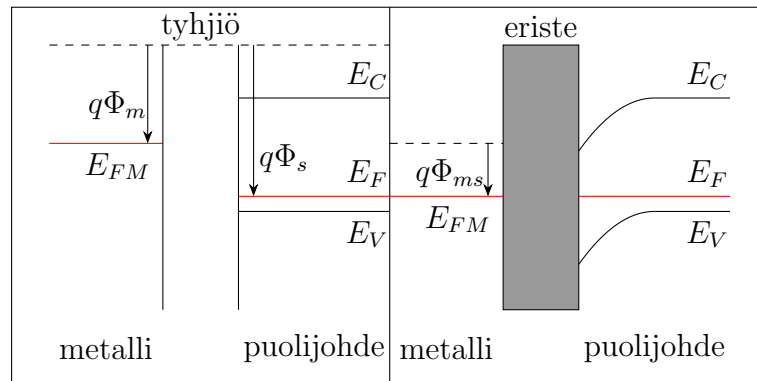
$$I_{sat} = \frac{W}{2L} \mu_n C_{ox} (V_G - V_T)^2 \quad (46)$$

Kuvassa 15 on havainnollistettu transistori kyllästystilassa ja kanavan sulkeutuminen. [5]



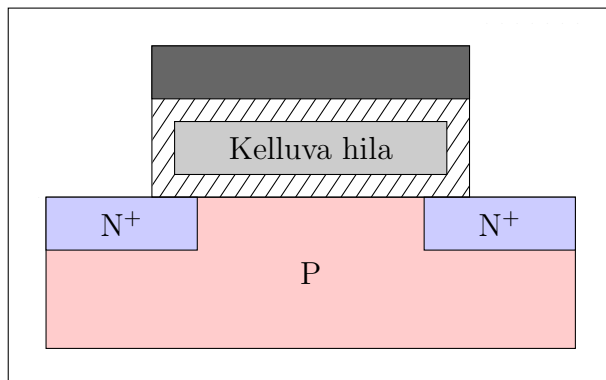
Kuva 15: MOS-transistori kyllästystilassa. Harmaa alue substraatissa on tyhjennysalue. Merkinnät N^+ tarkoittavat runsaasti seostettua n-tyyppiä. Kanava on sulkeutunut nielun rajalla.

Vyö rakenne MOS-transistorille saadaan ottamalla käyttöön työfunktio, joka on energiamäärä, joka tarvitaan irroittaakseen elektroni Fermi-tasosta tyhjiöön. [11] N-kanavatransistorin vyö rakenne on esitetty Kuvassa 16. Erillään metallisen hilan ja p-tyypin puolijohteen Fermi-tasot ovat erit, joten niin on työfunktioitkin. Yhdistettäessä metalli, eriste ja puolijohde, jaettu Fermi-taso aiheuttaa puolijohdessa varaussiirtymän joka taivuttaa sen energiavyöt lähellä eristettä. Taipumisen määrä on yhtä suuri kuin metallin ja puolijohteen työfunktion erotus $\Phi_{ms} = \Phi_m - \Phi_s$. Kun hilalle tuodaan jännite, puolijohteen vyöt taipuvat edelleen siten, että johtavuusvyön energia laskeutuu tarpeeksi muodostaakseen johtavan kanavan. [5]



Kuva 16: Vasemmalla vyö rakenne ennen yhdistämistä. Katkoviivalla on merkitty tyhjiön raja. Oikealla vyö rakenne yhdistämisen jälkeen. Katkoviiva on metallin Fermi-taso ennen yhdistämistä.

Kelluvan hilan metallioksidipuoilijohdekanavatransistori (FGMOS) on MOSFET rakenne johon on lisätty sähköisesti eristetty, eli kelluva, hila tavallisen hilan ja perusmateriaalin väliin. Kuvaan 17 on piirretty yksinkertainen FGMOS. Koska kelluva hila on eristetty, voi siihen kertynyt varaus pysyä muuttumattomana pitkiä aikoja. Varauksen muuttaminen kelluvassa hilassa tapahtuu Fowler-Nordheim tunneloinnin tai kuuma kuljettaja injektioitumisen avulla. Varauksen lisääminen kelluvaan hilaan suoritetaan asettamalla hilan jännite korkeaksi, jolloin sen sähkökenttä vetää elektroneja puoleensa, ja lähteen ja nielun jännitteet riippuvat transistorin rakenteesta. Pyyhittäessä transistori varaus puretaan kelluvasta hilasta asettamalla rakenteesta riippuen lähde, nielu, substraatti tai jokin yhdistelmä näitä korkeaan jännitteeseen ja hila pieneen. Tällöin kelluvassa hilassa olevat elektronit tunneloituvat pois ja transistorin varaus purkautuu. [5,19,20]



Kuva 17: FGMOS-transistorin poikkileikkaus.

Kelluva hila muodostaa kapasitiivisen jännitejakajan, joka voidaan kuvata kapasitiivisen kytkennän avulla, joka on esitetty Kuvassa 18. [19,21] Koska varauksien summa on nolla, kelluvan hilan potentiaalille V_{FG} saadaan yhtälö

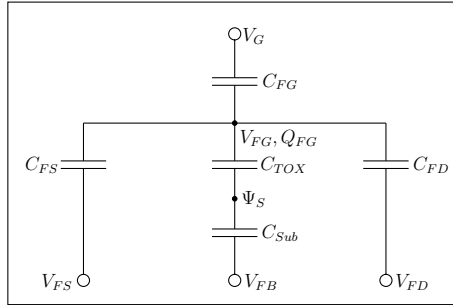
$$V_{FG} = \frac{C_{FG}V_G + C_{FS}V_{FS} + C_{FD}V_{FD} + C_{TOX}\Psi_S + Q_{FG}}{C_T}, \quad (47)$$

$$C_T = C_{FG} + C_{FD} + C_{FS} + C_{TOX}$$

missä V_G on hilan potentiaali, V_{FS} lähteen potentiaali, V_{FD} nielun potentiaali ja Ψ_S kanavan pinnan potentiaali. C_{FG} , C_{FD} ja C_{FS} ovat kelluvan hilan sekä hilan, nielun ja lähteen väliset kapasiteetit. C_{TOX} on tunnelointieristeen kapasiteetti. Kun kelluvaan hilaan on kertynyt varaus, se suojaa hilan aiheuttamalta sähkökentältä, jolloin kynnyksjännite kanavan muodostamiseksi kasvaa. Muutos kynnyksjännitteeseen ΔV_T saadaan kaavasta [9]

$$\Delta V_T = -\frac{Q_{FG}}{C_{FG}} \quad (48)$$

Tämän muutoksen ansiosta transistorin tila voidaan lukea, sillä kun hilan jännitteeksi asetetaan kynnyksjännite ilman tarpeeksi suurta muutosta, solut joissa ei ole varausta muodostavat kanavan ja solut joissa on varaus eivät. [5]



Kuva 18: Piirikaavio kelluvan hilan kapasitansseille.

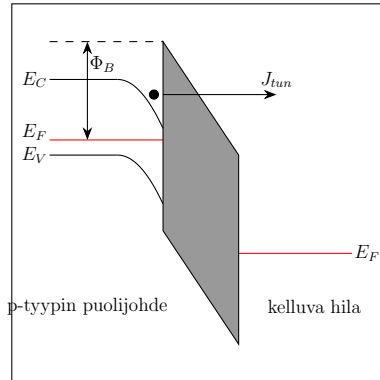
Tunnelointivirran tiheys saadaan Fowler-Nordheim yhtälöstä. [9]

$$J_{tun} = \alpha E_{tun}^2 e^{-\beta/E_{tun}} \quad (49)$$

missä E_{tun} on sähkökenttä eristeessä, ja α sekä β saadaan yhtälöistä [10]

$$\alpha = \frac{q^3 m_e}{8\pi h m^* \Phi_B}, \quad \beta = \frac{8\pi \sqrt{2m^* \Phi_B^3}}{3qh}$$

missä m_e on elektronin massa, h Planckin vakio, m^* elektronin tehollinen massa eristeessä ja Φ_B tunnelointi vallin korkeus. Kuvassa 19 on esitetty vyödiagrammi tunneloitumiselle kun kelluvaan hilaan lisätään varausta.



Kuva 19: Vyödiagrammi transistorille, kun kelluvaan hilaan lisätään varausta. Hilan korkea potentiaali laskee kelluvan hilan Fermi-tason ja taivuttaa puolijohteen vöitä. Eristeen korkeus laskee lineaarisesti hilaan päin.

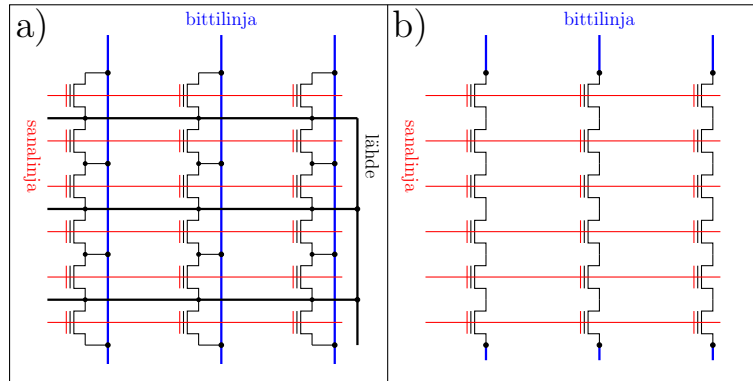
6. Flash-muisti

Flash-muisti on tiedon tallentamismenetelmä joka perustuu FGMOS transistoreiden ominaisuuteen pitää varausta. Tämän ominaisuuden ansiosta flash-muisti on haihtumaton muisti muoto, eli muisti ei kadota sisältöään vaikka siitä katkaistaan virta. Lisäksi muisti on sähköisesti uudelleen pyyhittävässä ja ohjelmoitavissa. Muistissa FGMOS transistori toimii yksinkertaisimmillaan binäärisenä muistisoluna, eli bittinä, jota lukemalla saadaan looginen 1 tai 0. Flash-muistia on kahden tyyppistä, riippuen siitä, miten muistisolut on järjestetty.

NOR-muistijärjestelmässä solut, jotka jakavat saman hilan sanotaan olevan sanalinja (wordline), ja solut jotka jakavat nielun sanotaan olevan bittilinja (bitline). Kaikki solut jakavat lähteen. [19] NOR-muisti saa nimensä logiikkaportista, joka tuottaa bitin 1 kun sen kaikki tuloterminaalit ovat bittejä 0. Muulloin se tuottaa bitin 0. Kuvassa 20 a) on esitetty piiri NOR-muistijärjestelmälle. NOR-portin toiminnan voi nähdä siitä, että bittilinjan potentiaali pysyy korkeana (bitti 1) vain jos kaikki sen solut ovat eivät tuota kanavaa (bitti 0). Varauksen lisääminen soluun tapahtuu nyt asettamalla sen sanalinjan ja bittilinjan jännite korkeaksi. Koska solut on liitetty toisiinsa, varauksen poistaminen asettamalla lähde korkeaan potentiaaliin aiheuttaa koko lohkon pyyhkiytymisen. Solun lukeminen onnistuu asettamalla sen sanalinja kynnysjännitteeseen ja bittilinja niin sanottuun lukujännitteeseen. [20]

NAND-muistijärjestelmässä solut on kytketty sarjaan bittilinjaksi, jossa kukin solu on eri sanalinjasta. [20] Piirimalli NAND-muistijärjestelmälle on esitetty Kuvassa 20 b). NAND-muisti on nimitetty logiikkaportin mukaan, joka tuottaa 0 bitin kun sen kaikki tuloterminaalit ovat bittejä 1. Muulloin se tuottaa bitin 1. Koska bittilinjat on kytketty maahan, NAND-portin toiminnan voi nähdä siitä, että bittilinjan potentiaali laskee maahan (bitti 0) vain kun sen jokainen transistori on avoin (bitti 1). Varausta lisätessä soluihin täytyy nyt asettaa kaikki bittilinjan solujen hilajännitteet potentiaaliin, jotta virta kulkee jokaisen solun läpi. Solun, johon halutaan lisätä varausta, sanalinja asetetaan potentiaaliin joka aiheuttaa elektronien tunneoitumisen kelluvaan hilaan. Lisäksi sanalinjan muiden solujen bittilinjat, joihin ei tahdota lisätä varausta, täytyy asettaa estopotentiaaliin. Varauksen poisto tapahtuu asettamalla substraatin jännite korkeaksi ja sanalinjat matalaksi. Tämän takia kaikista lohkon soluista poistuu varaus kerralla. Solun lukeminen onnistuu asettamalla sen sanalinja varauksettoman solun kynnysjännitteeseen ja muut bittilinjan solujen sanalinjat varauksellisen solun kynnysjännitteeseen. Tällöin

bittilinjaan asetettu lukujännite saa virran kulkemaan jos luettu solu on varaukseton. [10]



Kuva 20: Piirikaavio a) NOR- ja b) NAND-muistille.

NOR-muistijärjestelmää on nopeampi lukea, sillä NAND-muistissa kuluu aikaa asettaa suuri osa soluista jännitteeseen, toisin kuin NOR-muisti, missä vain luettavan solun sanalinja täytyy asettaa jännitteeseen. NAND-muistijärjestelmän muisti on tiiviimmin pakattu, sillä NOR-muistissa jokaisella solulla on ylimääräinen terminaalit verrattuna NAND-muistiin, missä solut jakavat terminaalinsa. [10]

7. Yhteenveto ja johtopäätökset

Transistorien pienikokoisuus ja kyky toimia kytkimenä on olennainen osa nykyistä digitaalista maailmaa. Transistoriteknologian suunnittelussa täytyy ymmärtää elektronien käyttäytyminen eri sähkökentissä ja miten sähkövirrat erilaisissa puolijohde rakenteissa riippuu käytetyistä jännitteistä.

Mooren laki on ennustus, jonka mukaan transistorien määrä mikropiirissä tuplaantuisi joka toinen vuosi. Kirjaimellisesti ennuste on pitänyt paikkaansa tähän päivään asti. [22] Luonnollisesti raja kuitenkin tulee vastaan, kun siirrytään lähemmäksi atomien kokoluokkaa. Suurimpana esteenä transistorien koon pienenemiselle on kvanttimekaanisesta tunneloitumisesta johtuva vuotovirta.

Mikropiireissä transistoreja on saatu pakattua tiiviimin siirtymällä tasaisesta MOSFET:stä kolmiulotteisiin rakenteisiin, kuten FinFET, jota käytetään 22nm ja sitä uudemmissa prosesseissa, ja GAAFET, jota käytetään tulevaisuuden prosesseissa. [23,24,25] FinFET-rakenteessa lähde ja nielu muodostavat substraatista nousevan evän, jota ympäröi hila päältä ja sivuista, kun taas GAAFET-rakenteessa hila ympäröi kanavan kokonaan. Näin lyhyelläkin hilan pituudella voidaan estää lyhyt-kanava vaikutuksia liittyen vuotovirtaan. [26]

Flash-muistissa ensimmäinen tapa miten tietoa on saatu pakattua tiiviimmin on käyttämällä monitasoisia soluja, joissa yksi kelluva hila varastoi useamman bitin tietoa. Tämä onnistuu asettamalla kelluvalle hilalle esimerkiksi neljä varausmäärää, joilla voidaan siten kuvata kahden bitin kombinaatiota. [27] Tällä tavalla on kuitenkin sama skaalautuvuus ongelma kuin yksitasoisilla soluilla. Siksi flash-muistissakin on siirrytty kolmiulotteisiin rakenteisiin, missä mikropiiriin on saatu enemmän muistisoluja korvaamalla bittilinjan solut pystyyn nostetuilla kanavilla joissa on kerrostettuja soluja. [10]

Vuonna 2021 myytiin ennätysmäärä puolijohde laitteita. 1,15 biljoonaa laitetta joissa on vuosi vuodelta yhä enemmän transistoreita myytiin 555,9 miljardin dollarin arvosta. [28] Voidaan siis olettaa, että transistoriteknologian kysyntä jatkaa kasvuaan myös tulevaisuudessa.

Lähteet

- [1] Riordan, M. (N.d.). transistor. *Encyclopedia Britannica*. Haettu 16.6.2022 osoitteesta <https://www.britannica.com/technology/transistor>.
- [2] Copeland, B. J. (2000). The Modern History of Computing. Teoksessa Edward N. Zalta (toim.), *The Stanford Encyclopedia of Philosophy (Winter 2020 Edition)*. Haettu 16.6.2022 osoitteesta <https://plato.stanford.edu/archives/win2020/entries/computing-history/>.
- [3] Guarnieri, M. (2012). The Age of Vacuum Tubes: Merging with Digital Computing Historical. *IEEE industrial electronics magazine*, 6(3), 52-55. doi:10.1109/MIE.2012.2207830.
- [4] Early, J. (2001). Out to Murray Hill to play: An early history of transistors. *IEEE transactions on electron devices*, 48(11), 2468-2472. doi:10.1109/16.960369.
- [5] Colinge, J. P. & Colinge, C. A. (2002). *Physics of Semiconductor Devices*. Kluwer Academic Publishers.
- [6] Bassett, R. K. (2002). *To the Digital Age: Research Labs, Start-up Companies, and the Rise of MOS Technology*.
- [7] Laws, D. (2018). 13 Sextillion & Counting: The Long & Winding Road to the Most Frequently Manufactured Human Artifact in History. Computer History Museum. Haettu 15.6.2022 osoitteesta <https://computerhistory.org/blog/13-sextillion-counting-the-long-winding-road-to-the-most-frequently-manufactured-human-artifact-in-history/>.
- [8] Frumusanu, A. (2021). Apple Announces M1 Pro & M1 Max: Giant New Arm SoCs with All-Out Performance. AnandTech. Haettu 16.6.2022 osoitteesta <https://www.anandtech.com/show/17019/apple-announced-m1-pro-m1-max-giant-new-socs-with-allout-performance>
- [9] Bez, R., Camerlenghi, E., Modelli, A. & Visconti, A. (2003). Introduction to flash memory. *Proceedings of the IEEE*, 91(4), 489-502. doi:10.1109/JPROC.2003.811702
- [10] Micheloni, R., Marelli, A. & Eshghi, K. (2018). *Inside solid state drives (SSDs)* (2. painos). Singapore: Springer.
- [11] Parravicini, G. P. & Grosso, G. (2014). *Solid State Physics* (2. painos). Oxford: Academic Press.
- [12] SCREEN Holdings. (N.d.). Semiconductor manufacturing processes. Haettu 16.6.2022 osoitteesta <https://www.screen.co.jp/spe/en/process>.
- [13] Statista. (2022). Semiconductors - statistics & facts. Haettu 16.6.2022 osoitteesta <https://www.statista.com/topics/1182/semiconductors/>.
- [14] Manogue, C. A. & Dray, T. (N.d.). The Geometry of Static Fields. Haettu 16.6.2022 osoitteesta <https://books.physics.oregonstate.edu/GSF/maxwell1.html>.

- [15] Young, H. D. k. & Freedman, R. A. (2014). *Sears and Zemansky's university physics: With modern physics : technology update* (13. painos, Pearson new international painos). Pearson Education.
- [16] Datta, S., Dewey, G., Doczy, M., Doyle, B., Jin, B., Kavalieros, J., . . . Chau, R. (2003). *High mobility Si/SiGe strained channel MOS transistors with HfO₂/TiN gate stack*.
<https://doi.org/10.1109/IEDM.2003.1269365>
- [17] Shobolova, T. A., Mokeev, A. S., Rudakov, S. D., Obolensky, S. V. & Shobolov, E. L. (2022). Silicon Metal–Oxide–Semiconductor Transistor with a Dependent Pocket Contact and Two-Layer Polysilicon Gate. *Semiconductors (Woodbury, N.Y.)*, 55(12), 885-890.
<https://doi.org/10.1134/S1063782621100225>
- [18] Crundell, M., Mee, C. & Goodwin, G. (2014). *Cambridge International AS and A level physics*.
- [19] Kolodny, A., Nieh, S., Eitan, B. & Shappir, J. (1986). Analysis and modeling of floating-gate EEPROM cells. *IEEE transactions on electron devices*, 33(6), 835-844. <https://doi.org/10.1109/T-ED.1986.22576>
- [20] Brewer, J. E., Brewer, J. E. & Gill, M. (2008). *Nonvolatile memory technologies with emphasis on flash: A comprehensive guide to understanding and using NVM devices*.
- [21] Wong, M., Liu, D. & Huang, S. (1992). Analysis of the subthreshold slope and the linear transconductance techniques for the extraction of the capacitance coupling coefficients of floating-gate devices. *IEEE electron device letters*, 13(11), 566-568. <https://doi.org/10.1109/55.192842>
- [22] Wikipedia. (N.d.). Transistor count. Haettu 16.6.2022 osoitteesta https://en.wikipedia.org/wiki/Transistor_count.
- [23] Bohr, M. (2017). 22FFL Technology. Haettu 16.6.2022 osoitteesta <https://en.wikichip.org/w/images/e/e1/22FFL-2017.pdf>.
- [24] Broekhuijsen, N. (2020). Samsung Prototypes First Ever 3nm GAAFET Semiconductor. Tom's Hardware. Haettu 16.6.2022 osoitteesta <https://www.tomshardware.com/news/samsung-prototypes-first-ever-3nm-gaafet-semiconductor>
- [25] Santo, B. (2021). Intel Charts Manufacturing Course to 2025. EE Times. Haettu 16.6.2022 osoitteesta <https://www.eetimes.com/intel-charts-manufacturing-course-to-2025/>.
- [26] Chauhan, Y. S., Lu, D., Venugopalan, S., Khandelwal, S., Duarte, J. P., Paydavosi, N., . . . Hu, C. (2015). *FinFET Modeling for IC Simulation and Design: Using the BSIM-CMG Standard*.
- [27] Shimpi, A. L. (2011). The Intel SSD 710 (200GB) Review. AnandTech. Haettu 16.6.2022 osoitteesta <https://www.anandtech.com/show/4902/intel-ssd-710-200gb-review/2>.

[28] Semiconductor Industry Association. (2022). Global Semiconductor Sales, Units Shipped Reach All-Time Highs in 2021 as Industry Ramps Up Production Amid Shortage. Haettu 16.6.2022 osoitteesta <https://www.semiconductors.org/global-semiconductor-sales-units-shipped-reach-all-time-highs-in-2021-as-industry-ramps-up-production-amid-shortage/>.